

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2002年 7月 1日

出 願 番 号

Application Number: 特願2002-192492

[ST.10/C]:

[JP2002-192492]

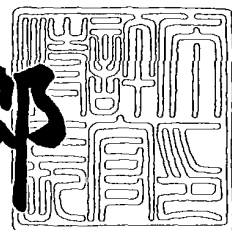
出 願 人

Applicant(s): 沖電気工業株式会社

2002年 9月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3071429

【書類名】 特許願
【整理番号】 KN002510
【提出日】 平成14年 7月 1日
【あて先】 特許庁長官 及川 耕造 殿
【国際特許分類】 H04B 7/24
【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 宮本 弘光

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 100090620

【弁理士】

【氏名又は名称】 工藤 宣幸

【手数料の表示】

【予納台帳番号】 013664

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006358

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期誤り検出回路

【特許請求の範囲】

【請求項 1】 受信パルス系列の同期ずれによって生じる誤りを検出する同期誤り検出回路において、

前記受信パルス系列を構成する各パルスの立ち上がりエッジまたは立ち下がりエッジを検出するエッジ検出手段と、

前記パルスの時間幅に応じた一定の時間で、循環的に変化する循環番号を発生する循環番号発生手段と、

前記エッジ検出手段が前記エッジを検出したときに、当該エッジに前記循環番号発生手段が発生した循環番号を付与する循環番号付与手段と、

前記受信パルス系列上で、前記各エッジに付与された循環番号の変化を所定の処理手順で統計的に処理することによって、同期ずれの発生を検出する同期ずれ検出手段とを備えたことを特徴とする同期誤り検出回路。

【請求項 2】 請求項 1 の同期誤り検出回路において、

前記同期はずれ検出手段は、

所定の間隔で、前記エッジに付与された循環番号を基準循環番号とし、当該エッジの後続のエッジに付与された循環番号と当該基準循環番号の誤差を利用して同期ずれの発生を検出する誤差処理部を備えたことを特徴とする同期誤り検出回路。

【請求項 3】 請求項 2 の同期誤り検出回路において、

前記誤差処理部は、

前記基準循環番号と、後続のエッジに関する前記誤差とを加算し、この加算結果を、基準循環番号を付与されたエッジから当該誤差を求めた後続のエッジまでの期間に相当するパルス数で除算することによって、平均循環番号を求める平均循環番号算出部と、

当該平均循環番号が第 1 の設定番号より大きいときに、同期ずれの発生を検出する第 1 の比較部とを備えたことを特徴とする同期誤り検出回路。

【請求項 4】 請求項 1 の同期誤り検出回路において、

前記同期ずれ検出手段は、

前記パルスのハイレベル区間またはローレベル区間の両端に位置するエッジに付与された循環番号の差を取ることによって、ハイレベル区間またはローレベル区間の長さに相当する循環番号値を求めるパルス幅算出部と、

当該循環番号値が第 2 の設定番号より小さいときに、同期ずれの発生を検出する第 2 の比較部とを備えたことを特徴とする同期誤り検出回路。

【請求項 5】 請求項 1 ～ 4 のいずれかの同期誤り検出回路において、

前記同期ずれの発生が検出されたときには、前記受信パルス系列の送信元に対し、再送要求を返送する再送要求手段を備えたことを特徴とする同期誤り検出回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は同期誤り検出回路に関し、例えば、1つの受信装置のなかにCRC (Cyclic Redundancy Check code) などの誤り制御方式に対応した誤り制御機構とともに実装して好適なものである。

【 0 0 0 2 】

【従来の技術】

デジタル無線装置では、一般的にデータの誤り制御（誤り検出または誤り訂正）に、CRCやFEC (Forward error correction) を用いている。

【 0 0 0 3 】

CRC方式では、まず送信側で送信データに対して、あらかじめ定められた生成多項式を用いて処理をおこない、その結果を冗長符号としてデータ列に付加して送信する。次に受信側では、受信データを送信側と同様の処理によりあらかじめ定められた生成多項式で割り切れるかどうかを検査する。検査の結果、割り切ることができず、オール“0”以外の出力が得られた場合には、伝送路で、データの誤りが発生したものと判定することができる。

【 0 0 0 4 】

又、F E C方式の場合は、誤り検出をおこなう機能に加えて、さらに冗長符号を用いて誤り訂正をおこなう機能も備えている。

【 0 0 0 5 】

ただしF E C方式の誤り検出は、符号構成上、長いバースト誤りへの対処が難しいことがあるのに対し、C R C方式は長いバースト誤りも高い精度で検出することができる。このため、誤りの発生頻度などの条件に応じて、F E C方式とC R C方式を使いわけるとも、より高精度な誤り検出や誤り訂正のために有効であり、C R C方式やF E C方式を組み合わせ使用することも少なくない。

【 0 0 0 6 】

なお、C R C方式によって誤りが検出されたり、F E C方式によって検出された誤りがF E C方式で用いる符号の誤り訂正能力を越えている場合などには、送信元へ再送を要求することになる。

【 0 0 0 7 】

伝送路で誤りが発生する原因には様々なものがあり得るが、例えば、周辺から放射されたノイズなどの影響で誤りが混入することがある。また、伝送路が無線の場合には、送信側と受信側の距離が長すぎて受信する電波が弱すぎる場合などにも、誤りが発生する。

【 0 0 0 8 】

あるいは、使用しているクロックに位相ずれが発生した場合など、送信側の通信装置内部あるいは受信側の通信装置内部で、このような誤りが発生することもあり得る。この意味では、通信装置内部も前記伝送路の一部である。

【 0 0 0 9 】

【発明が解決しようとする課題】

しかしながら、C R C方式やF E C方式など既存の誤り制御方式の基礎となる符号理論は、送信側と受信側で同期が完全に取れていることを前提として構築された理論であるため、この前提が成立しない場合には、本来の性能を期待することはできない。

【 0 0 1 0 】

そして実際の通信では、ビットの抜けや挿入が発生して、この前提が成り立た

ないことも多い。ここで、ビットの抜けとは、本来、データ系列のなかに存在しているビットが伝送路で削除されてしまう現象であり、ビットの挿入とは、本来、データ系列のなかに存在していないビットが伝送路で追加されてしまう現象である。

【0011】

同期が完全に取りれていることを前提とするCRC方式やFEC方式などの符号理論の立場からみると、たとえ、1ビットの抜け（あるいは挿入）が発生したとしても、当該1ビット以降の全ビット（後述するチェックパターンも含む）が誤っていることと同じ（抜けの場合にはこの全ビットが前にシフトし、挿入の場合には後ろにシフトするため）であるから、膨大な規模のバースト誤りの発生に等しい。このバースト誤りの規模があまりに膨大なものであると、FEC方式はもちろん、CRC方式の誤り検出能力をも越えて、正常に誤りを検出することができなくなる可能性がある。

【0012】

例えば、CRC方式のみで誤り検出の機能を実現しようとした場合、生成多項式を $g(D) = D^{16} + D^{12} + D^5 + 1$ とすると、冗長符号は16ビットとなり、この冗長符号によるチェックパターンの数は、65536 ($= 2^{16}$) 通りとなる。よってランダムに誤りが発生した場合、実際には誤りが発生しているのに発生していないものと判定する等の誤判定が発生してしまう確率は $1/65536$ と低いが、受信データの激しい位相変動や、上述したクロックの位相ずれ等によってビットの挿入やビットの抜けが発生して大規模なバースト誤りが発生すると、誤判定の発生確率は極めて高いものとなり、誤り検出の信頼性が低い。

【0013】

このため、通信の品質を維持することも困難である。

【0014】

【課題を解決するための手段】

かかる課題を解決するために、本発明では、受信パルス系列の同期ずれによって生じる誤りを検出する同期誤り検出回路において、（1）前記受信パルス系列を構成する各パルスの立ち上がりエッジまたは立ち下がりエッジを検出するエッ

ジ検出手段と、(2) 前記パルスの時間幅に応じた一定の時間で、循環的に変化する循環番号を発生する循環番号発生手段と、(3) 前記エッジ検出手段が前記エッジを検出したときに、当該エッジに前記循環番号発生手段が発生した循環番号を付与する循環番号付与手段と、(4) 前記受信パルス系列上で、前記各エッジに付与された循環番号の変化を所定の処理手順で統計的に処理することによって、同期ずれの発生を検出する同期ずれ検出手段とを備えたことを特徴とする。

【0015】

【発明の実施の形態】

(A) 実施形態

以下、本発明にかかる同期誤り検出回路の実施形態について説明する。

【0016】

(A-1) 第1の実施形態の構成

本実施形態において特徴的な位相変動エラー検出回路10は、図5に示すように、受信機能を持つ通信装置20の内部において、当該受信機能（特に、復号部）の一部を構成する構成要素である。

【0017】

図5において、当該通信装置20は、当該位相変動エラー検出回路10と、CRC処理回路21と、FEC処理回路22と、エラー検出制御部23と、再送要求部24とを備えている。

【0018】

このうちCRC処理回路21と、FEC処理回路22と、位相変動エラー検出回路10には、受信データ系列RD1が供給されている。

【0019】

受信データ系列RD1は、伝送路PLを介して当該通信装置20に受信され、必要なフィルタや、A/D変換（アナログーデジタル変換）などの処理を経て、CRC処理回路21と、FEC処理回路22と、位相変動エラー検出回路10に供給されるものである。この伝送路PLは、無線伝送路でも有線伝送路でもかまわないし、無線区間と有線区間が混在した伝送路でもかまわない。上述したように通信装置の内部も伝送路PLの一部であり得るから、フィルタやA/D変換

器も伝送路 P L に含まれるものであってよい。

【 0 0 2 0 】

C R C 処理回路 2 1 は、前記 C R C 方式を利用して受信データ系列 R D 1 の誤り検出を行う回路であり、F E C 処理回路 2 2 は前記 F E C 方式を利用して受信データ系列 R D 1 の誤り検出や誤り訂正を行う回路である。

【 0 0 2 1 】

本実施形態では、1つの通信装置 2 0 の内部に C R C 処理回路 2 1 と F E C 処理回路 2 2 を搭載しているが、必要ならば、いずれか一方は省略してもよいし、いずれか一方あるいは双方を他の誤り制御方式に対応した回路と置き換えてもよい。

【 0 0 2 2 】

また、詳細については後述するが、前記位相変動エラー検出回路 1 0 は、前記受信データ系列 R D 1 につき、上述したビットの抜けや挿入などに起因する同期ずれが起こっているか否かを検出する回路である。同期ずれの発生を検出すると、当該位相変動エラー検出回路 1 0 は、位相変動エラー信号 E D 3 をエラー検出制御部 2 3 に供給する。

【 0 0 2 3 】

エラー検出制御部 2 3 は、C R C 処理回路 2 1、F E C 処理回路 2 2、および位相変動エラー検出回路 1 0 の出力をもとに、復号動作（誤り制御動作）を制御する部分である。具体的には、位相変動エラー検出回路 1 0 から位相変動エラー信号 E D 3 が出力されないときには、C R C 処理回路 2 1 や F E C 処理回路 2 2 の出力 E D 1、E D 2 を利用した処理を行い、位相変動エラー検出回路 1 0 から位相変動エラー信号 E D 3 が出力されたときには、C R C 処理回路 2 1 や F E C 処理回路 2 2 の出力 E D 1、E D 2 を無視するとともに再送制御信号 R S 1 を出力する。この再送制御信号 R S 1 を受け取ると、再送要求部 2 4 は再送要求信号 R C 1 を受信データ系列 R D 1 の送信元の通信装置（図示せず）に送信し、同じ内容のデータ系列をふたたび送信（再送）させる。これが、受信側の通信装置 2 0 では、新たな受信データ系列 R D 1 となる。

【 0 0 2 4 】

このような処理を行う理由は、位相変動エラー検出回路10から位相変動エラー信号ED3が出力されていないときには、送信側の通信装置と受信側の当該通信装置20のあいだで同期が取れていて、CRC処理回路21やFEC処理回路22の出力ED1、ED2の信頼性が高い状態であるのに対し、位相変動エラー検出回路10から位相変動エラー信号ED3が出力されているときは、送信側の通信装置と受信側の当該通信装置20のあいだで同期ずれが発生していて、CRC処理回路21やFEC処理回路22の出力ED1、ED2が信頼できないからである。

【0025】

再送による新たな受信データRD1が通信装置20に受信されたとき伝送路PLの状態が改善されていれば、前記ビットの抜けや挿入等は発生せず同期ずれは起こらないため、今度は移動変動エラー検出回路10から位相変動エラー信号ED3は出力されない。この場合、CRC処理回路21、FEC処理回路22の出力ED1、ED2は十分に信頼できるから、エラー検出制御部23は、これらの出力ED1、ED2に応じた処理を行うことになる。

【0026】

当該位相変動エラー検出回路10の主要部の構成例を図1に示す。

【0027】

(A-1-1) 位相変動エラー検出回路の構成例

図1において、当該位相変動エラー検出回路10は、変化点検出回路11、12と、位相カウンタ13と、位相番号選択回路14と、位相平均化回路15と、平均回数レジスタ16と、位相変動測定回路17と、位相変動エラー判定回路18と、最大位相変動幅レジスタ19とを備えている。

【0028】

このうち変化点検出回路11、12は、前記受信データ系列RD1のハイレベルとローレベルの変化点（すなわち、受信データ系列RD1を構成する各パルスの立ち上がりエッジおよび立ち下がりエッジ）を検出する回路である。変化点検出回路11は、0から1への変化点（ハイレベルを1とし、ローレベルを0とする正論理では、立ち上がりエッジ）を検出するための回路で、変化点検出回路1

2は、1から0への変化点（前記正論理では、立ち下がリエッジ）を検出するための回路である。

【0029】

このような変化点検出回路11、12の機能を実現する回路構成には様々なものがあり得るが、一例として、図6に示すような回路構成とすることができる。変化点検出回路11と12の回路構成は同じであってよいが、図6には、主として、変化点検出回路11を示したものとして説明する。

【0030】

図6において当該変化点検出回路11は、サンプリング回路30と、保持回路31と、比較回路32と、しきい値設定回路33とを備えている。

【0031】

このうちサンプリング回路30は、前記受信データ系列RD1を、当該受信データ系列RD1のデータレート（単位時間当たりのパルス数（データパルスの数））よりも十分に高速なクロックHC1を用いてサンプリングしてサンプリング値SPを出力する回路である。一例として、本実施形態では、当該クロックHC1のクロック周波数（単位時間当たりのパルス数（クロックパルスの数））を、前記受信データ系列RD1のデータレートの8倍とする。

【0032】

このことは、図2（a）および（b）からも明らかなように、受信データ系列RD1のサンプリングを8回おこなうあいだには、通常、1回の立ち上がりエッジまたは立ち下がリエッジが検出されることを意味する。なお、図2（b）では受信データ系列RD1として、NRZ方式の伝送符号を用いている。

【0033】

保持回路31は当該サンプリング値SPを保持し保持値HLとして出力する回路で、前記クロックHC1に応じて新たなサンプリング値SPがサンプリング回路30から供給されるたびに、保持値HLの値を変化させる。

【0034】

しきい値設定回路33は、予め設定を受けたしきい値THSを出力する回路である。

【0035】

出力されたしきい値THSは、比較回路32によって、前記保持値HLと大小の比較が行われる。しきい値THSとしては、前記データパルスのハイレベルよりも十分に小さく、ローレベルよりも十分に大きい値を設定しておく。

【0036】

変化点検出回路11の場合、受信データ系列RD1中の立ち上がりエッジを検出することが目的なので、保持値HLがしきい値THSよりも大きくなったときに比較回路32から変化点検出信号（立ち上がりエッジ検出信号）VT1を出力する。もしも図6が、当該変化点検出回路11ではなく、立ち下がりエッジの検出を目的とする変化点検出回路12を示したものであれば、これとは反対に、保持値HLがしきい値THSよりも小さくなったときに、比較回路32から変化点検出信号（立ち下がりエッジ検出信号）VT2を出力することになる。

【0037】

比較回路32以外の構成要素30、31、33については、変化点検出回路11と12のあいだで共用することが可能である。ただし、しきい値THSは、変化点検出回路11と12で異なる値を用いてもよい。

【0038】

図1上の前記位相カウンタ13は、当該変化点検出回路11、12と同様にクロックHC1の供給を受けるカウンタで、当該クロックHC1のクロックパルスが供給されるたびにそのカウント値NB1を変化させる（ここでは、インクリメント（+1）させるものとする）。当該カウント値NB1は1～8の範囲の整数値であり、最小値の1からクロックパルスが供給されるたびにカウントアップしてゆき、最大値の8に達すると、次のカウント値NB1はふたたび最小値の1にもどる動作を繰り返す循環式のカウンタである。

【0039】

位相番号選択回路14は、前記変化点検出回路11、12が出力する変化点検出信号VT1、VT2と当該位相カウンタ13が出力するカウント値NB1の供給を受け、変化点検出信号VT1またはVT2が供給されたときに、供給を受けていたカウント値NB1を、位相番号（各エッジの位相を示す番号）として選択

する回路である。当該選択は、受信データ系列 R D 1 中の立ち上がりエッジおよび立ち下がりエッジに位相番号を付与することに等しい操作である。

【 0 0 4 0 】

このような位相番号選択回路 1 4 の機能を実現する回路構成には様々なものがあり得るが、一例として、図 7 に示すような回路構成とすることができる。

【 0 0 4 1 】

図 7 において、当該位相番号選択回路 1 4 は、振分回路 4 0 と、4 つのレジスタ 4 1 ~ 4 4 を備えている。

【 0 0 4 2 】

このうちレジスタ 4 1 ~ 4 4 は、例えば、パラレルに配置（位相カウンタ 1 3 からカウント値 N B 1 を受け取る入力部も、位相平均化回路 1 5 に選択した位相番号（カウント値 N B 1）を出力する出力部もパラレル）された複数の D - F F（D フリップフロップ）から構成された記憶部で、各 D - F F は、所定の振分順序に応じて振分回路 4 0 を介して供給される変化点検出信号（この信号もまた、パルス信号）V T 1 または V T 2 の立ち上がりエッジまたは立ち下がりエッジ（エッジが立ち上がりに対応するものか立ち下がりに対応するものかを明示的に区別する操作は行わない）が供給されたときに、入力端子（入力部）に供給されていた前記カウント値 N B 1 を出力端子（出力部）に取り込む。

【 0 0 4 3 】

D - F F は変化点検出信号 V T 1, V T 2 のエッジが供給されたタイミングで動作するが、位相番号（N B 1）を、当該変化点検出信号 V T 1, V T 2 の立ち上がりエッジで出力端子に取り込むか、立ち下がりエッジで取り込むかは、D - F F の構成によって予め決定されている。

【 0 0 4 4 】

前記カウント値 N B 1 が 1 ~ 8 の範囲の整数値であれば、位相番号も、1 ~ 8 の範囲の整数値であるから、一例として、末尾の D を 1 0 進表現を示し、末尾の B を 2 進表現を示すものとし、1 D を 0 0 0 B で表し、2 D を 0 0 1 B で表し、…、8 D を 1 1 1 B で表すものとする、1 ~ 8 D は 0 0 0 ~ 1 1 1 B となり、レジスタ 4 1 ~ 4 4 は 3 ビットのレジスタ（すなわち、3 つの D - F F で構成で

きるレジスタ)とすることができる。

【0045】

振分回路40は、前記変化点検出回路11、12から供給される変化点検出信号VT1およびVT2を、供給された順番に所定の振分順序にしたがって、レジスタ41～44に供給する回路である。この振分順序は、一例として、41、42、43、44、41、…(この41～44は、各レジスタに付与された符号をもって各レジスタを示したものである)の順番で循環するものであってよい。

【0046】

受信データ系列RD1においては、立ち上がりエッジの次には立ち下がりエッジが出現し、当該立ち下がりエッジの次には立ち上がりエッジが出現するため、このような振分回路40とレジスタ41～44の連携により、各レジスタ41～44には、立ち上がりエッジの位相を示す位相番号NB1と立ち下がりエッジの位相を示す位相番号NB1が交互に、(受信データ系列RD1上で)連続する4エッジ分(例えば、図2(b)に示すEG11～EG14)、格納されることになる。

【0047】

例えば、レジスタ41に格納される位相番号NB1がNB11であり、レジスタ42に格納される位相番号NB1がNB12であり、レジスタ43に格納される位相番号NB1がNB13であり、レジスタ44に格納される位相番号NB1がNB14であるものとする、一例として、当該NB11が図2(b)上の立ち上がりエッジEG11に付与された図2(a)上の4で、当該NB12は、図2(b)上の立ち下がりエッジEG12に付与された図2(a)上の5で、当該NB13は、図2(b)上の立ち上がりエッジEG13に付与された図2(a)上の4で、当該NB14は、図2(b)上の立ち下がりエッジEG14に付与された図2(a)上の7となる。

【0048】

もちろん、各レジスタ41～44上に格納されている位相番号NB11～NB14の値は、振分回路40から変化点検出信号VT1またはVT2が供給されるたびに循環的に書き換えられていく。

【0049】

また、前記振分回路40から各レジスタ41～44に供給される変化点検出信号VT1、VT2のうち、レジスタ44に供給される変化点検出信号VT1またはVT2は、演算開始タイミング信号TMとして位相平均化回路15にも供給される。これは後述する個々の平均化演算を開始するタイミングを具体的に位相平均化回路15に伝える信号である。

【0050】

図1の位相平均化回路15は、4つのレジスタ41～44が格納している位相番号NB11～NB14を位相番号SLとして読出し、次の式(1)に応じて平均化演算を実行し位相平均値AV1を出力する回路である。

【0051】

$$AV1 = \text{基準値} + (\text{差分1} + \text{差分2} + \text{差分3}) / \text{平均回数} \quad \dots (1)$$

ここで、基準値とは、前記レジスタ41に格納されているNB11に対応する値である。また、差分1～差分3とは、当該基準値と、後続する3エッジの各位相番号SL（前記NB12～NB14）との差（例えば、エッジEG12の場合、NB12-NB11、具体的には、 $+1 = 5 - 4$ ）を示している。

【0052】

この背景には、ジッタなどのまったくない（もちろん、ビットの抜けや挿入もない）理想的なケースでは、図2（b）の受信データ系列RD1は図2（m）に示すようになり、立ち上がりエッジも立ち下がりエッジも区別することなく、最初のエッジ（ここでは、EF11）に付与される位相番号（図示の例では5）と同じ位相番号が後続の全エッジEL12～EL19等に付与されることがある。これは、前記クロックHC1（図2（k）参照）のクロック周波数を受信データ系列RD1のデータレート（図2（1）のデータ処理クロックに対応）の整数倍に選定していることからして当然である。

【0053】

しかしながら現実の伝送路PLでは、通常、ジッタが発生して各エッジの位相番号は変動するので、例えば、図2（b）のような受信データ系列となる。

【0054】

ジッタによって各エッジの位相番号が変動しても、その変動幅が大きなものでなければ、図2(1)に示すデータ処理クロックの立ち上がりエッジに対応するデータ打ち抜きポイントが、受信データ系列RD1のハイレベルまたはローレベルの中央付近を打ち抜いて受信データ系列RD1中の“1”を正しく“1”として認識し、“0”を正しく“0”として認識することができるから、送信側の通信装置と受信側の通信装置20のあいだで同期を取ることはでき、正常な通信を維持することができる。本実施形態の位相変動エラー検出回路10では、上述したビットの抜けや挿入の発生だけでなく、大きすぎるジッタの発生も検出することが可能である。

【0055】

前記位相平均値AV1は、前記伝送路PLにおける4エッジ分の区間の平均的なジッタの変動幅を示しているとみることができる。

【0056】

位相平均化回路15は、例えば、図2(i)に示すような位相変動測定開始タイミングを示すトリガ信号TR1の供給を受け、当該トリガ信号TR1の立ち上がりエッジの受信により、いつでも前記平均化演算を開始できる状態になる。ただし実際に位相平均化回路15が個々の平均化演算を開始するのは、前記演算開始タイミング信号TMが供給されたときである。位相平均化回路15の内部構成によっては、トリガ信号TR1、演算開始タイミング信号TMのいずれか一方を省略することが可能である。

【0057】

前記ジッタの影響を考慮すると、平均化演算に必要な連続4エッジの位相番号NB11~NB14がそろったことを伝える演算開始タイミング信号TMを使用することは、位相番号選択回路14や位相平均化回路15の実装の効率化に有効である。

【0058】

なお、前記式(1)は、平均化演算の意味が理解しやすい形にしてあるが、現実の実装にあたっては、ハードウェア的またはソフトウェア的に効率良く位相平均化回路15が処理できる形に、当該式(1)を適宜変形して最適化してよいこ

とは当然である。例えば、1つずつ差分（差分1～差分3）を求めたあとでこれらを加算するのではなく、レジスタ42～44内の位相番号を全部加算したあとで当該加算結果から基準値を3回減算するほうが、平均化演算の過程で各差分（差分1～差分3）を一時的に蓄積しておく必要がなくなって処理効率（例えば、空間効率）が高くなる可能性がある。

【0059】

平均回数レジスタ16は、前記式（1）の分母に使用される平均回数AR1（ここでは、図2（e）に示すように、 $AR1=4$ ）を予め格納してあるレジスタである。当該平均回数AR1は位相平均化回路15が必要な場合にはいつでも平均回数レジスタ16から読み出すことができる。

【0060】

当該位相平均化回路15から前記位相平均値AV1を受け取る位相変動測定回路17は、時系列に供給される位相平均値AV1のうち、時間的に隣接している2つの位相平均値AV1の差（の絶対値）として平均値変動幅PV1を測定し出力する減算器である。

【0061】

位相変動エラー判定回路18は当該平均値変動幅PV1を、最大位相変動幅レジスタ19から供給されるしきい値TH1（ここでは、図2（f）に示すように、 $TH1=2$ ）と比較し、PV1のほうがTH1より大きい場合に、前記位相変動エラー信号ED3を出力する比較器である。

【0062】

最大位相変動幅レジスタ19には、許容できる平均値変動幅PV1の上限を規定する値として、予め、当該しきい値TH1を格納しておく。

【0063】

なお、前記位相平均化回路15、位相変動測定回路17、位相変動エラー判定回路18の機能は、ハードウェア的には単純な組合せ論理回路として実現できし、ソフトウェア的には一般的な汎用レジスタやRAMの作業領域、および演算装置などを用いて容易に実現することができる。

【0064】

また、図 2 (1) に示した前記データ処理クロックは本来、その立ち上がりエッジのタイミングで受信データ系列 R D 1 の各パルスを打ち抜いて、各パルスが“1”を指すものか、“0”を指すものかを識別する狭義の復号過程で用いられるクロックである。図 1 に示した位相変動エラー検出回路 1 0 内の各構成要素 1 1 ~ 1 9 のうち構成要素 1 1 ~ 1 3 は前記クロック H C 1 に応じて動作するため当該データ処理クロックの供給を受ける必要はない。

【 0 0 6 5 】

ただし、必要ならば、構成要素 1 5 ~ 1 8 には、当該データ処理クロックを供給するようにしてもよい。

【 0 0 6 6 】

以下、上記のような構成を有する本実施形態の動作について、図 2 のタイミングチャートを参照しながら説明する。

【 0 0 6 7 】

(A-2) 第 1 の実施形態の動作

例えば、図 2 (b) に示すような受信データ系列 R D 1 を受信しているとき、前記位相平均化回路 1 5 に、前記トリガ T R 1 が供給されると、位相変動エラー検出回路 1 0 の動作が開始する。

【 0 0 6 8 】

図 5 に示した通信装置 2 0 は、当該位相変動エラー検出回路 1 0 と、C R C 処理回路 2 1 と、F E C 処理回路 2 2 とを、常時、同時並列的に動作させるものであってもよく、通常は C R C 処理回路 2 1 と、F E C 処理回路 2 2 だけを動作させ、これらによる通信の品質が劣化してきたときに、位相変動エラー検出回路 1 0 を動作させるようにしてもよい。

【 0 0 6 9 】

いずれにしても、前記トリガ T R 1 が供給されたタイミングで、位相変動エラー検出回路 1 0 が有効に動作を開始する。また、遅くとも、当該トリガ T R 1 が位相平均化回路 1 5 に供給されたときには、位相変動エラー検出回路 1 0 内の他の構成要素 1 1, 1 2, 1 3, 1 4 など動作を開始する。

【 0 0 7 0 】

図 2 (a) ~ (n) は、左方ほど時刻が早く、右方ほど時刻が遅い。したがって、前記変化点検出回路 1 1, 1 2 に供給される受信データ系列 R D 1 上の各エッジは、E G 1 1, E G 1 2, E G 1 3, E G 1 4, E G 1 5, E G 1 6, …の順番で変化点検出回路 1 1, 1 2 に受信される。そして、立ち上がりエッジである E G 1 1, E G 1 3, E G 1 5, …が供給される各タイミングで変化点検出回路 1 1 が変化点検出信号 V T 1 を出力し、立ち下がりエッジである E G 1 2, E G 1 4, E G 1 6, …が供給される各タイミングで変化点検出回路 1 2 が変化点検出信号 V T 2 を出力する。

【 0 0 7 1 】

図 2 の例にしたがえば、最初に位相番号選択回路 1 4 に供給される変化点検出信号は、立ち上がりエッジ E G 1 1 を検出したことによって変化点検出回路 1 1 から供給される変化点検出信号 V T 1 である。位相番号選択回路 1 4 内の前記振分回路 4 0 は、前記振分手順にしたがい、当該変化点検出信号 V T 1 をレジスタ 4 1 に供給するから、そのとき位相カウンタ 1 3 が出力しているカウント値 N B 1 (図 2 (a) の例では 4) は、位相番号 N B 1 1 として、レジスタ 4 1 内に格納される。当該 N B 1 1 は、平均化演算においては前記式 (1) の基準値となる位相番号である。

【 0 0 7 2 】

次に位相番号選択回路 1 4 に供給される変化点検出信号は立ち下がりエッジ E G 1 2 を検出したことによって変化点検出回路 1 2 から供給される変化点検出信号 V T 2 である。

【 0 0 7 3 】

このときも、最初に変化点検出信号 V T 1 が供給された場合と同様、位相番号選択回路 1 4 内の前記振分回路 4 0 は、前記振分手順にしたがい、当該変化点検出信号 V T 2 をレジスタ 4 2 に供給するから、そのとき位相カウンタ 1 3 が出力しているカウント値 N B 1 (図 2 (a) の例では 5) は、位相番号 N B 1 2 として、レジスタ 4 2 内に格納される。当該 N B 1 2 は、平均化演算においては前記式 (1) の差分 1 のもとになる位相番号である。

【 0 0 7 4 】

以降も同様にして、エッジEG13, EG14に対応して変化点検出回路11, 12から変化点検出信号VT1, VT2が供給されるたびに、前記振分回路40がレジスタ43, 44に当該変化点検出信号VT1, VT2を供給し、そのたびに、その時点の位相カウンタ13のカウント値NB1が、位相番号NB13, NB14としてレジスタ43, 44に格納される。図2(a)および(b)の例では、NB13は4で、NB14は7である。

【0075】

レジスタ44に供給される変化点検出信号(ここではVT2)は、同時に、前記演算開始タイミング信号TMとして位相平均化回路15にも供給されるから、当該TMを受け取った位相平均化回路15は、前記式(1)の平均化演算を実行するための、4エッジ分の位相番号NB11~NB14がレジスタ41~44内にそろったことを認識し、位相番号SLとしてこれらNB11~NB14を読み出して、当該平均化演算を実行し、算出した位相平均値AV1を出力する。

【0076】

この場合、NB11~NB14の値は、

$$(NB11, NB12, NB13, NB14) = (4, 5, 4, 7)$$

であるから、前記式(1)は、

$$4 + (1 + 0 + 3) / 4 = 5$$

となり、位相平均値AV1は、5である。

【0077】

この位相平均値AV1(=5)は、位相変動測定回路17に供給される。位相変動測定回路17にとって、当該5は、最初に供給される位相平均値AV1であるから、単に、格納するだけである。

【0078】

エッジEG11~EG14につづく4エッジEG15~EG18についても、変化点検出回路11, 12, 位相カウンタ13, 位相番号選択回路14, 位相平均化回路15において、これと同様な動作が繰り返される。

【0079】

ただし、図2(a)、(b)から明らかなように、エッジEG15~EG18

では、前記NB11～NB14の値は、前記エッジEG11～EG14と異なり

$$(NB11, NB12, NB13, NB14) = (6, 6, 2, 2)$$

である。したがって、前記式(1)は、

$$6 + (0 + 4 + 4) / 4 = 8$$

となり、位相平均値AV1は、8である。

【0080】

この8が、位相平均化回路15から位相変動測定回路17に供給されると、位相変動測定回路17は、前回の4エッジEG11～EG14に関する位相平均値AV1である5と、当該8の差を取って、図2(h)に示す位相変動測定値PV1として、3(=8-5)を算出する。

【0081】

この位相変動測定値PV1(=3)が位相変動エラー判定回路18に供給されると、位相変動エラー判定回路18では、当該3を、最大位相変動幅レジスタ19に格納されているしきい値TH1(=2)と比較する。この場合、しきい値TH1よりも位相変動測定値PV1のほうが大きいため、位相変動エラー判定回路18は、図2(j)に示す位相変動エラー信号ED3を出力して、前記エラー検出制御部23に、同期ずれの発生を通知する。

【0082】

この位相変動エラー信号ED3を受け取ったとき、図5のエラー検出制御部23が、CRC処理回路21やEFC処理回路22の出力ED1、ED2を無視するとともに再送制御信号RS1を出力し、再送要求部24に再送要求信号RC1を送信させること等は、すでに説明した通りである。

【0083】

なお、当該位相変動エラー信号ED3を出力した時点で位相変動エラー検出回路10の動作を停止してもよいが、停止せず、2つ目以降の位相平均値AV1が供給されたときに位相変動測定回路17が行う動作も、2つ目の位相平均値AV1である8の供給を受けた場合と同様としてもよい。この場合、例えば、3つ目の位相平均値AV1の供給を受けたときには、3つ目の位相平均値AV1から当

該 8 を減算し、その減算結果を前記しきい値 T H 1 と比較することになる。

【 0 0 8 4 】

また、前記平均回数 A R 1 の値を変更すれば、平均化に利用する連続エッジの数を増減することができる。

【 0 0 8 5 】

(A - 3) 第 1 の実施形態の効果

本実施形態によれば、 C R C 処理回路 (2 1) や F E C 処理回路 (2 2) だけでは、前記誤判定をまねく可能性の高い同期ずれが発生した場合でも、当該同期ずれを位相変動エラー検出回路 (1 0) で正確に検出して、当該誤判定の影響を抑制し誤り検出の信頼性を補完できるから、通信の品質を維持し、通信の信頼性を確保することができる。

【 0 0 8 6 】

なお、本実施形態の位相変動エラー検出回路で検出できる同期ずれの原因としては、上述したビットの抜けや挿入だけでなく、変動幅が大きすぎるジッタも含まれる。

【 0 0 8 7 】

(B) 第 2 の実施形態

以下では、本実施形態が第 1 の実施形態と相違する点についてのみ説明する。

【 0 0 8 8 】

この相違点は、主として、前記位相平均化回路 1 5 が、パルス幅測定回路 5 5 (図 3 参照) に置き換わった点にある。これに伴い、前記位相変動エラー判定回路 1 8 はパルス幅エラー判定回路 5 8 に置換し、前記最大位相変動幅レジスタ 1 9 は最短パルス幅レジスタ 5 9 に置換し、前記平均回数レジスタ 1 6 は使用しない構成となった。

【 0 0 8 9 】

(B - 1) 第 2 の実施形態の構成および動作

本実施形態のパルス幅エラー検出回路 5 0 の通信装置 2 0 内における役割は、第 1 の実施形態に位相変動エラー検出回路 1 0 と同じである。

【 0 0 9 0 】

当該パルス幅エラー検出回路 5 0 の主要部の構成例を示す図 3 において、第 1 の実施形態と基本的に同じ機能を有する構成要素および信号には、図 1 と同じ符号 1 1, 1 2, 1 3, 1 4, R D 1, V T 1, V T 2, N B 1, S L, T M を付与してその詳しい説明は省略する。

【 0 0 9 1 】

なお、本実施形態の動作を示すタイミングチャートである図 4 と、第 1 の実施形態のタイミングチャートである図 2 とを対比すれば明らかなように、図 4 (b) と図 2 (b) の受信データ系列 R D 1 の波形形状は相違しているが、これは説明の都合上、そのような形状を選んだだけである。本実施形態の受信データ系列 R D 1 も、N R Z 方式の伝送符号を用いている点で第 1 の実施形態と同じであり、データレートの 8 倍のサンプリング周波数を用いる点でも同じである。

【 0 0 9 2 】

時間的に連続する一連の受信データ系列 R D 1 のうち、ある時間区間を取り出したものが図 2 (b) に示す波形で、別な時間区間を取り出したものが図 4 (b) の波形であるとみることできる。

【 0 0 9 3 】

当該受信データ系列 R D 1 の波形が相違しているため、当然、図 4 (c) の位相番号は図 2 (c) の位相番号とその値が相違し、図 4 (d) の位相番号も図 2 (d) の位相番号とその値が相違している。

【 0 0 9 4 】

第 1 の実施形態の位相平均化回路 1 5 が連続 4 エッジの位相平均値 A V 1 を求めるものであったのに対し、本実施形態のパルス幅測定回路 5 5 は、ハイパルス幅値 (1 つのハイレベル区間の長さ) やローパルス幅値 (1 つのローレベル区間の長さ) 、すなわち、連続 2 エッジの間隔を求めるものである。

【 0 0 9 5 】

したがって、第 1 の実施形態の位相平均化回路 1 5 は、連続 4 エッジの位相番号が前記レジスタ 4 1 ~ 4 4 内にそろうまで、前記平均化演算を実行することができなかったが、本実施形態のパルス幅測定回路 5 5 は、連続 2 エッジがそろったときに、ロー (Low) パルス幅値またはハイ (High) パルス幅値を求めること

ができる。

【 0 0 9 6 】

ジッタのない理想的な受信データ系列を示した図 4 (1) から、本実施形態のデューティ比は 5 0 % であることがわかるが、デューティ比 5 0 % の場合には、本来のローパルス幅値とハイパルス幅値は同じなので、両者を区別することなく、同期ずれを検出することができる。

【 0 0 9 7 】

したがって、パルス幅測定回路 5 5 は、単に連続 2 エッジがそろったときに、その 2 エッジの位相番号の差を求めるだけでローパルス幅値（またはハイパルス幅値）を算出することができる。

【 0 0 9 8 】

このため、前記位相番号選択回路 1 4 は、本実施形態では、4 つのレジスタ 4 1 ～ 4 4 を持つ必要はなく、2 つのレジスタだけを持てばよい。そして、2 つのレジスタに位相番号がそろうのを待たなければならない動作開始直後を除き、いずれか一方のレジスタに新しい位相番号が格納されるたびに、次の式 (2) に応じたパルス幅演算を実行し、パルス幅値 $PW1$ を算出する。

【 0 0 9 9 】

$$PW1 = \text{最大位相番号} - \text{旧位相番号} + \text{新位相番号} \quad \cdots (2)$$

ここで、最大位相番号とは、前記カウント値 $NB1$ の範囲 1 ～ 8 の最大値、すなわち、8 を指す。また、旧位相番号とは前記位相番号選択回路 1 4 内の 2 つのレジスタに格納されている位相番号のうち古いほうを指し、新位相番号とは、当該 2 つのレジスタに格納されている位相番号のうち新しいほうを指す。

【 0 1 0 0 】

したがって、例えば、図 4 (b) に示す受信データ系列 $RD1$ のうち最初のエッジである $EG21$ の位相番号 4 と、2 番目のエッジである $EG22$ の位相番号 5 が、前記 2 つのレジスタの各々にこの順番で格納されたときには、前記式 (2) は、

$$PW1 = 8 - 4 + 5 = 9$$

となる。この 9 は、図 4 (f) に示した最初のハイレベルパルス幅値である。

【0101】

同様に、3番目のエッジEG23の位相番号4が前記2つのレジスタのうち古いほうの位相番号（ここでは、4）を格納したレジスタに格納されると、今度は、ここで格納した位相番号4が新位相番号となり、前回の新位相番号であるEG22の位相番号5が旧位相番号となるため、式（2）は、

$$PW1 = 8 - 5 + 4 = 7$$

となる。この7は、図4（g）に示した最初のローパルス幅値である。

【0102】

以降は、同様な動作の繰り返しであり、新たな位相番号がいずれかのレジスタに格納されるごとに、前記式（2）にしたがって、パルス幅演算が実行され、新たなパルス幅値PW1が算出される。パルス幅値PW1としては、例えば図4（f）に示すようなハイパルス幅値と、図4（h）に示すようなローパルス幅値が交互に得られる。

【0103】

本実施形態では、前記最短パルス幅レジスタ59に、許容できるパルス幅の下限を示す値として、しきい値TH2が格納され、パルス幅測定回路55で得られたパルス幅値PW1が、当該しきい値TH2より長いかな否かをパルス幅エラー判定回路58が検査する。

【0104】

しきい値TH2未満のパルス幅値PW1が得られると、当該パルス幅エラー判定回路58は、同期ずれの発生を前記エラー検出制御部23に伝えるパルス幅エラー信号ED4を出力する。

【0105】

一般的には、しきい値で許容できる上限を設定し、あるしきい値よりも長いパルス幅値PW1が得られたときに、パルス幅エラー信号を出力する構成をとることも可能であるが、ここでは、前記受信データ系列RD1の伝送符号としてNRZ方式を用いているために、正常時でも長いパルス幅値（原理的には、無限に長いパルス幅値もあり得る）が得られるから、しきい値TH2として下限を設定する構成としてある。

【0106】

受信データ系列RD1の伝送符号として、例えば、RZ方式を用いる場合などには、しきい値TH2で、下限を設定することも上限を設定することも可能である。

【0107】

本実施形態では、許容できるパルス幅の下限を示す前記しきい値TH2の値は、図4(e)に示すように、5である。したがって、当該5未満のパルス幅値PW1が得られたときに、前記パルス幅エラー信号ED4が出力される。

【0108】

図4(i)では、EP1とEP2のパルス幅エラー信号ED4が得られている。

【0109】

信号EP1は、図4(b)のエッジEG24とEG25のあいだのローパルス幅値が4となって、しきい値TH2(=5)を下回ったことに対応する。信号EP2は、図4(b)のエッジEG27とEG28のあいだのハイパルス幅値が1となって、しきい値TH2(=5)を下回ったことに対応する。

【0110】

エッジEG24とEG25のあいだのローパルス幅値は、受信データ系列RD1のデューティ比の変動によって発生したものであるが、このようなデューティ比の変動は、上述したビットの抜けや挿入、ジッタなどに起因して発生し得る。また、エッジEG27とEG28のあいだのハイパルス幅値は、例えば、ノイズ(場合によって、このノイズは、ビットの挿入などとして認識され得る)などによって発生し得る。

【0111】

パルス幅エラー検出回路50がパルス幅エラー信号ED4を出力したときのエラー検出制御部23の動作は、第1の実施形態で、位相変動エラー信号ED3が出力された場合と同じであってよい。

【0112】

(B-3) 第2の実施形態の効果

本実施形態によれば、第 1 の実施形態とほぼ同等な効果を、異なる構成によって得ることができる。

【0 1 1 3】

加えて、本実施形態では、連続する 2 エッジ間で、パルス幅値の正常性を検査できるので、演算のために 4 エッジを要し、なおかつ、当該 4 エッジから求めた位相平均値の差を取る第 1 の実施形態に比べて、はるかに速やかに、同期ずれを検出することが可能である。

【0 1 1 4】

(C) 他の実施形態

なお、上記第 1 の実施形態では時間的に連続するエッジにつき、抜けなくその位相番号を求めて平均化演算を実行したが、速やかに同期ずれを検出する必要性が高くない場合などには、平均化演算に使用しないエッジが存在してもかまわない。例えば、1 エッジ置き（例えば、前記 EG 1 2, EG 1 4, EG 1 6 は無視する）や、2 エッジ置きに、位相番号を求めて平均化演算を実行しても、上記とほぼ同等な効果を得ることができる。同様なことは、第 2 の実施形態についても成立する。

【0 1 1 5】

また、上記第 1、第 2 の実施形態では、通信装置 2 0 内に位相変動エラー検出回路 1 0 またはパルス幅エラー検出回路 5 0 のいずれかを配置するものとしたが、これら双方を 1 つの通信装置内に配置してもかまわない。その場合、例えば、位相変動エラー検出回路 1 0 またはパルス幅エラー検出回路 5 0 のいずれか一方から同期ずれの発生を示す出力 ED 3 または ED 4 が出力されたことをもって、前記エラー検出制御部（前記 2 3 に相当）は、同期ずれが発生したものと認識するようにしてもよい。

【0 1 1 6】

さらに、上記第 2 の実施形態では受信データ系列のデューティ比は 5 0 % であったが、これが 5 0 % 以外の場合には、本来のハイパルス幅値とローパルス幅値が異なるため、パルス幅測定回路 5 5 ではハイパルス幅値とローパルス幅値を区別して算出し、しきい値 TH 2 も、ハイパルス幅のためのしきい値と、ローパル

ス幅のためのしきい値を別個に用意する必要がある。

【 0 1 1 7 】

そして、算出したパルス幅値 P W 1 がハイパルス幅値に対応するものである場合には、パルス幅エラー判定回路 5 8 でハイパルス幅のためのしきい値と比較し、ローパルス幅値に対応するものである場合には、パルス幅エラー判定回路 5 8 でローパルス幅のためのしきい値と比較することになる。

【 0 1 1 8 】

また、送信側の通信装置と受信側の通信装置 2 0 のあいだで、受信データ系列 R D 1 の伝送速度を重視する第 1 の通信モードと、伝送速度を犠牲にしても伝送品質を重視する第 2 の通信モードがある場合には、次のような構成を取ることも有効である。

【 0 1 1 9 】

すなわち、前記位相変動エラー信号 E D 3 および／またはパルス幅エラー信号 E D 4 の発生頻度を所定のしきい値と比較し、この発生頻度が当該しきい値以下の場合には第 1 の通信モードで通信を行い、当該しきい値を越えた場合には、伝送路 P L の状態が安定的に劣化していると判断して、第 2 の通信モードに切り替えて伝送品質の向上をはかる。

【 0 1 2 0 】

また、第 2 の通信モードに切り替えたあとも、前記発生頻度の測定としきい値との比較を行い、発生頻度がしきい値以下にもどった場合には、通信モードも第 1 の通信モードに復帰する。

【 0 1 2 1 】

発生頻度の測定やしきい値との比較は、ソフトウェア的に行ってもハードウェア的に行ってもかまわない。

【 0 1 2 2 】

ただし発生頻度の測定は、前記平均化演算やパルス幅演算に比べて十分に遅い処理速度で実行可能であるため、ソフトウェア的に実現できる可能性が高い。ハードウェアでもソフトウェアでも実現可能ならば、一般的に、ソフトウェアで実現したほうが柔軟性や拡張性などの点で有利である。

【 0 1 2 3 】

以上の説明では主としてハードウェア的に本発明を実現したが、本発明はソフトウェア的に実現することも可能である。

【 0 1 2 4 】

【発明の効果】

以上に説明したように、本発明によれば、既存の誤り制御方式（例えば、CRC方式やFEC方式など）が誤判定を行いやすいケースでも、誤り検出の信頼性を補完できるため、通信の品質を維持し、通信の信頼性を確保することが可能である。

【図面の簡単な説明】

【図 1】

第 1 の実施形態に係る位相変動エラー検出回路の主要部の構成例を示す概略図である。

【図 2】

第 1 の実施形態の動作を示すタイミングチャートである。

【図 3】

第 2 の実施形態に係るパルス幅エラー検出回路の主要部の構成例を示す概略図である。

【図 4】

第 2 の実施形態の動作を示すタイミングチャートである。

【図 5】

第 1 および第 2 の実施形態に関する通信装置の復号部における主要部の構成例を示す概略図である。

【図 6】

第 1 および第 2 の実施形態で使用する変化点検出回路の主要部の構成例を示す概略図である。

【図 7】

第 1 の実施形態で使用する位相番号選択回路の主要部の構成例を示す概略図である。

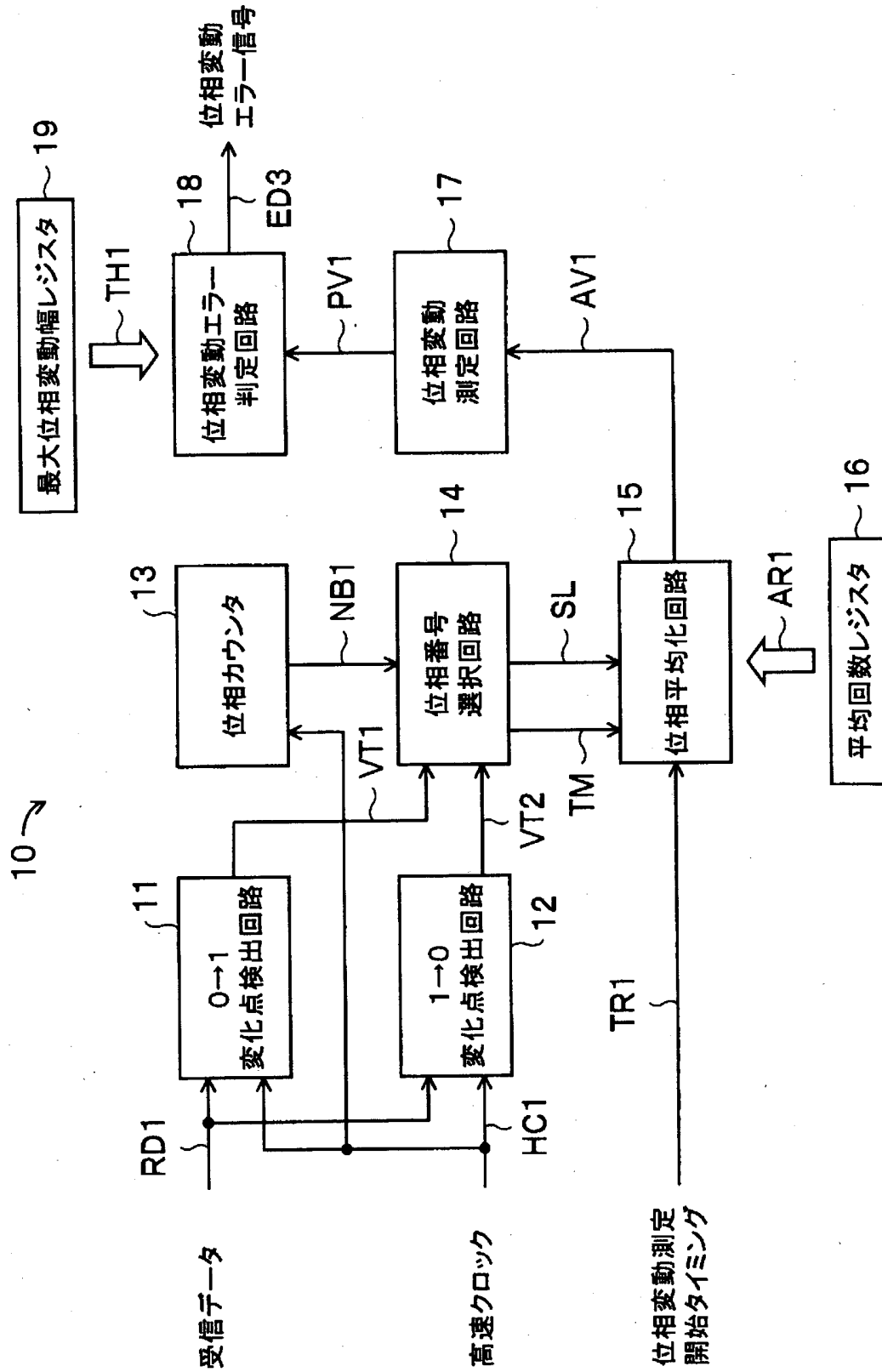
【符号の説明】

10…位相変動エラー検出回路、11, 12…変化点検出回路、13…位相カウンタ、14…位相番号選択回路、15…位相平均化回路、16…平均回数レジスタ、17…位相変動測定回路、18…位相変動エラー判定回路、19…最大位相変動幅レジスタ、20…通信装置、21…CRC処理回路、22…FEC処理回路、23…エラー検出制御部、24…再送要求部、40…振分回路、41～44…レジスタ、50…パルス幅エラー検出回路、55…パルス幅測定回路、58…パルス幅エラー判定回路、59…最大パルス幅レジスタ、NB1…カウント値、NB11～NB14…位相番号（選択されたカウント値）、VT1, VT2…変化点検出信号、TM…演算開始タイミング信号、EG11～EG19, EG21～EG31…エッジ、RD1…受信データ系列。

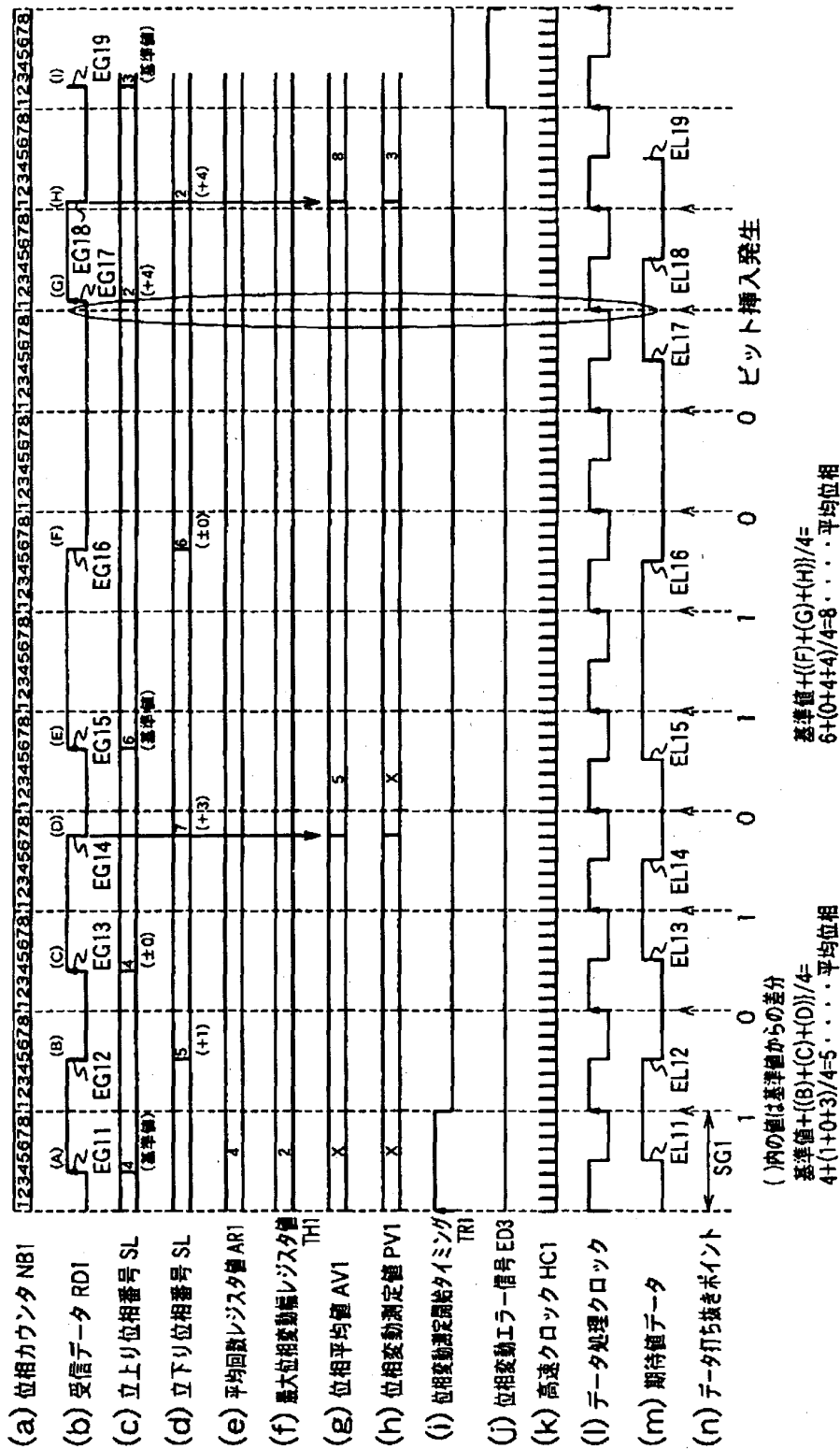
【書類名】

図面

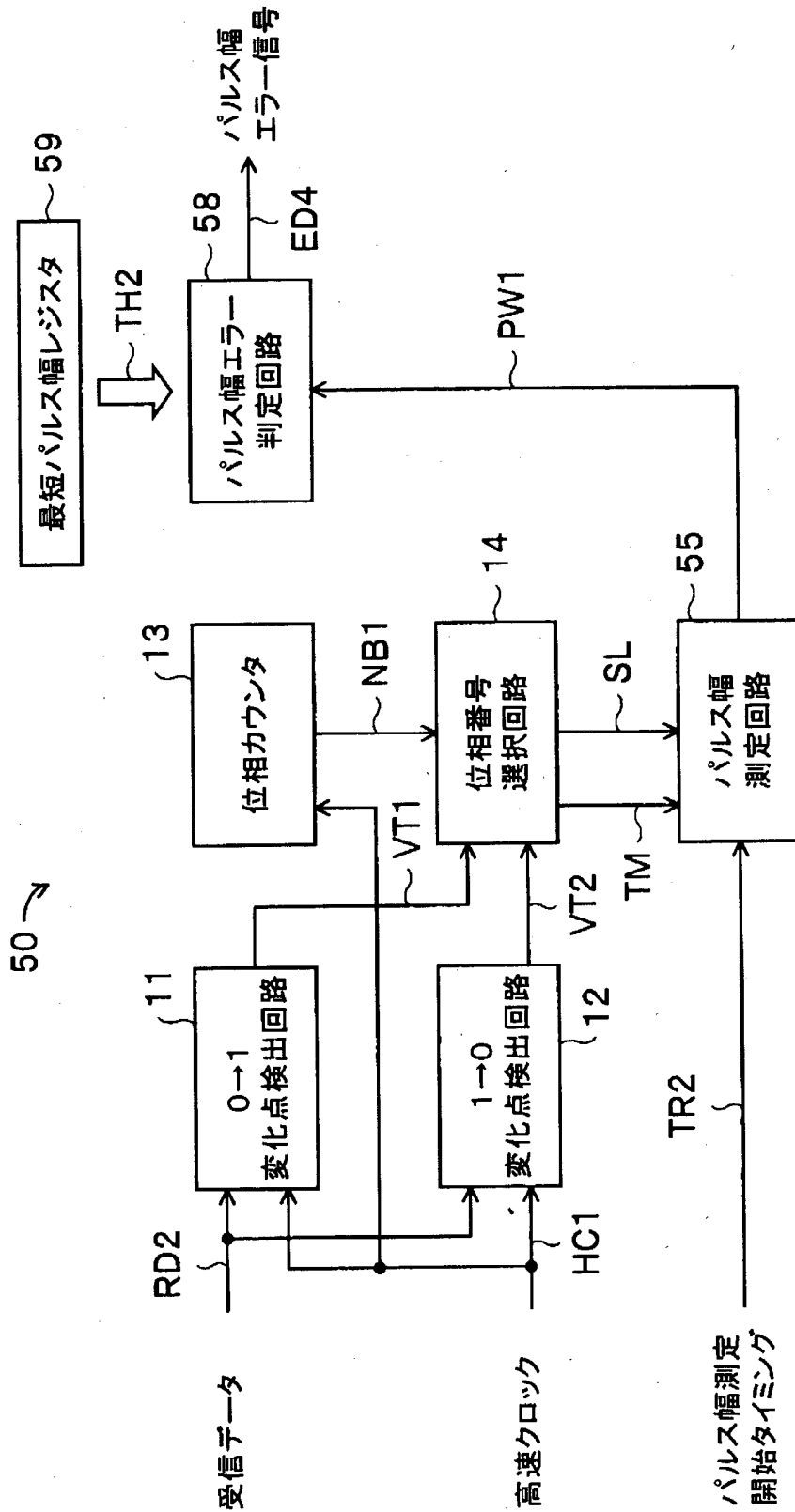
【図1】



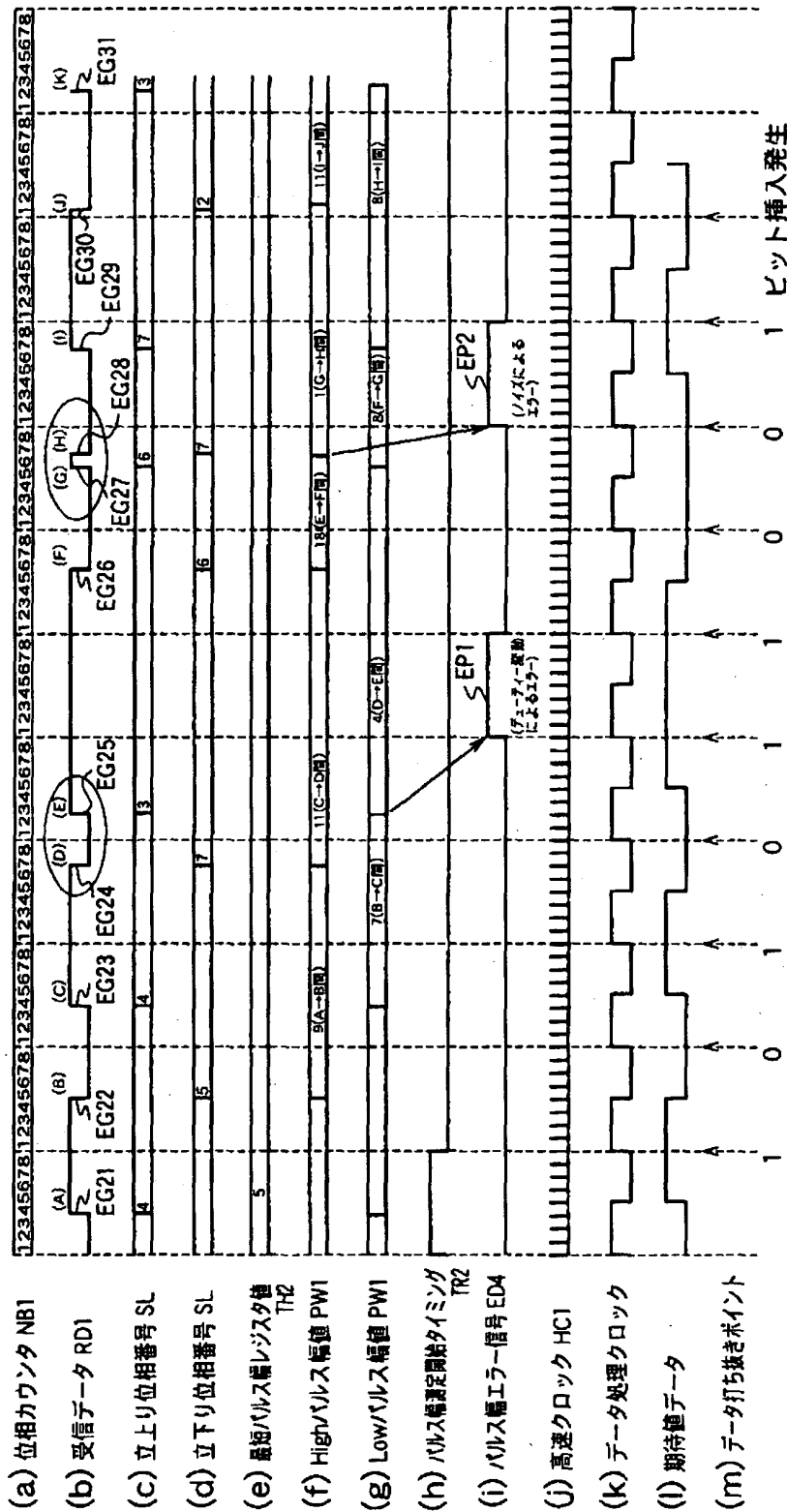
【図 2】



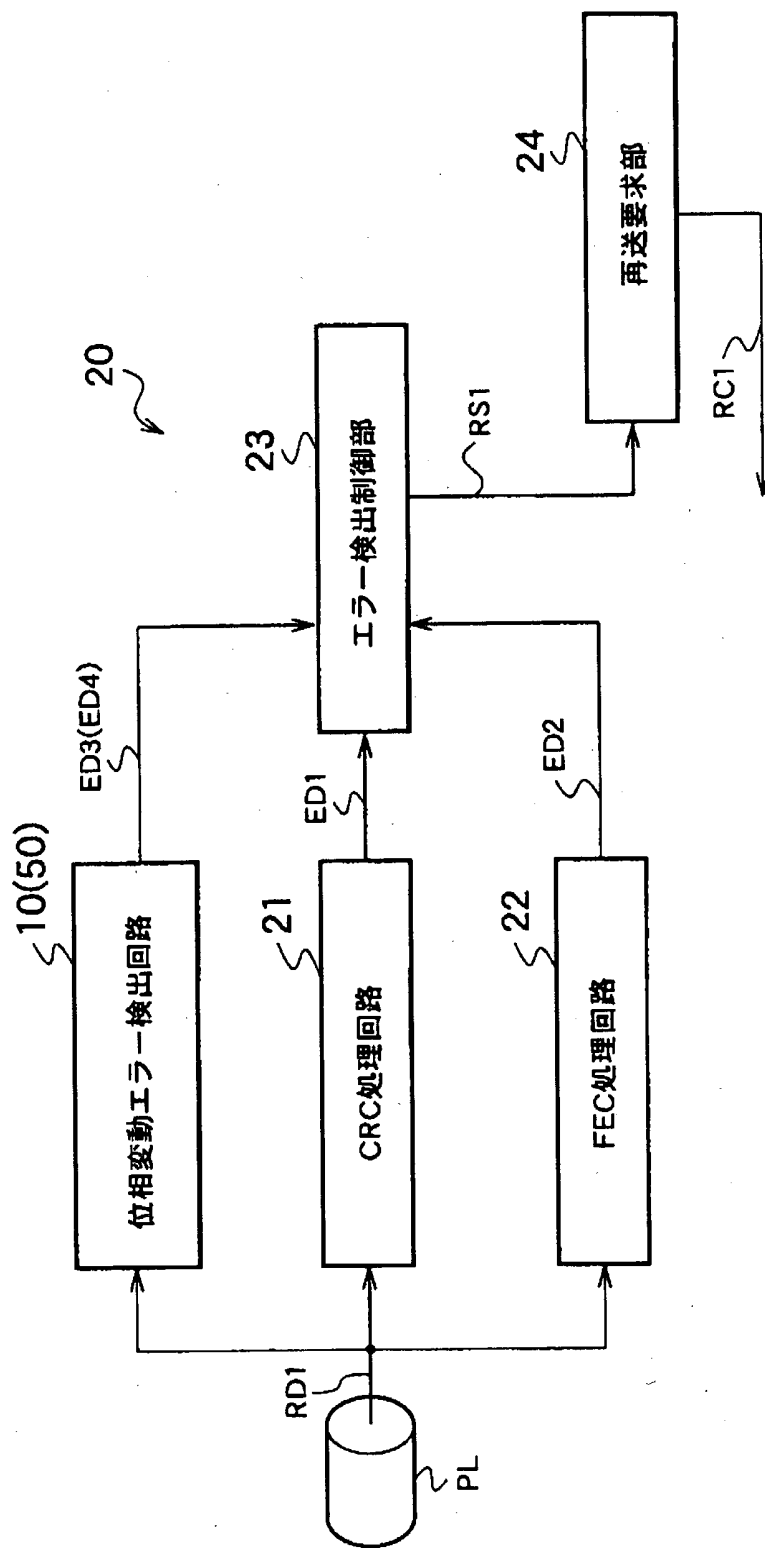
【図3】



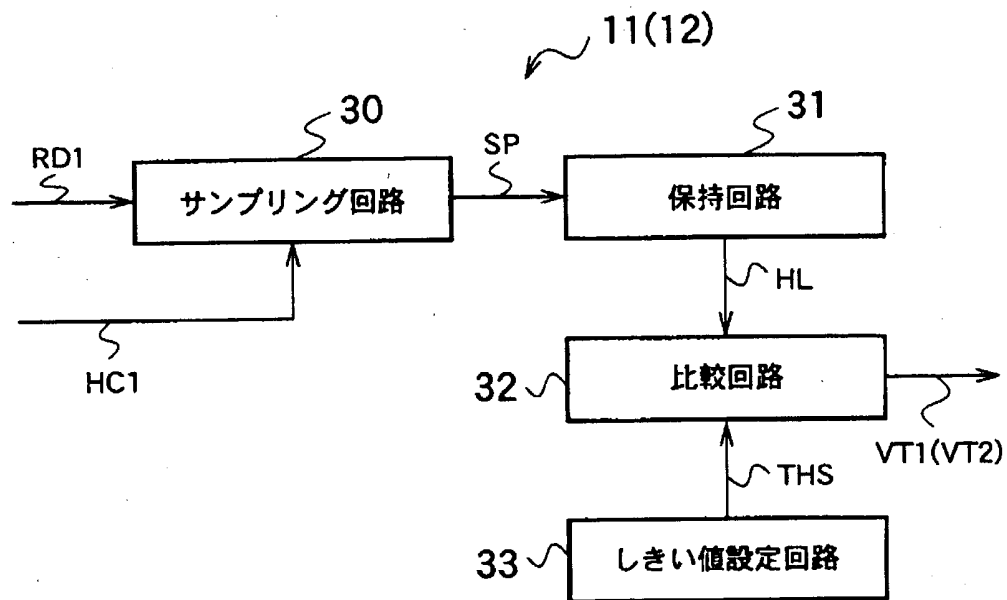
【図4】



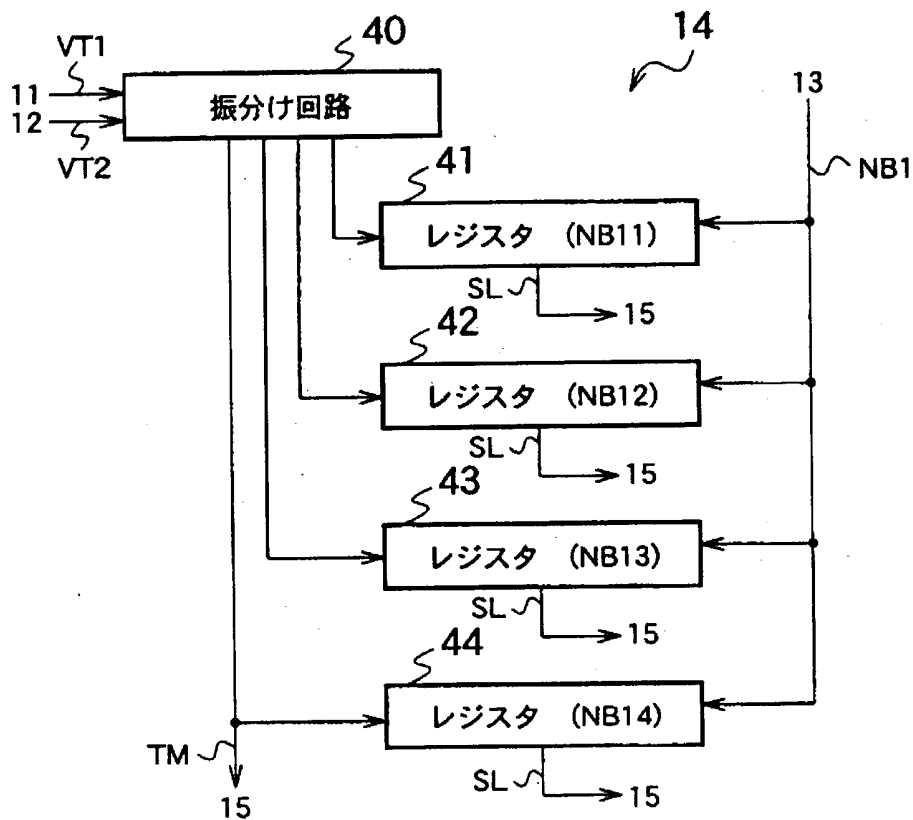
【図5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 通信の品質を維持し、通信の信頼性を確保する。

【解決手段】 受信パルス系列の同期ずれによって生じる誤りを検出する同期誤り検出回路において、前記受信パルス系列を構成する各パルスの立ち上がりエッジまたは立ち下がりエッジを検出するエッジ検出手段と、前記パルスの時間幅に応じた一定の時間で、循環的に変化する循環番号を発生する循環番号発生手段と、前記エッジ検出手段が前記エッジを検出したときに、当該エッジに前記循環番号発生手段が発生した循環番号を付与する循環番号付与手段と、前記受信パルス系列上で、前記各エッジに付与された循環番号の変化を所定の処理手順で統計的に処理することによって、同期ずれの発生を検出する同期ずれ検出手段とを備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社